

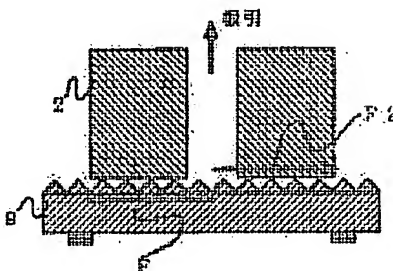
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP11121530 (A)
 Publication date: 1999-04-30
 Inventor(s): SUZUKI TAKATOSHI +
 Applicant(s): NEC CORP +
 Classification:
 - International: H01L21/60; H05K3/30; H01L21/02; H05K3/30;
 (IPC1-7): H01L21/60
 - european:
 Application number: JP19970304931 19971020
 Priority number(s): JP19970304931 19971020

Also published as:
 JP3045122 (B2)

Abstract of JP 11121530 (A)

PROBLEM TO BE SOLVED: To raise a frictional force in the horizontal direction, which works on suction heads and the rear of a semiconductor element, and to prevent the generation of a mounting positional deviation of the semiconductor element from a wiring board at the time of mounting of the element on the wiring board by a method, wherein the rear of the element is roughened by machining to the extent such that a suction force between the rear of the element and the suction heads is not reduced.;
SOLUTION: When a semiconductor element 9 is sucked by suction heads 2, recesses and projections are made to form in and on the rear of the element 9 to roughen the rear of the element 9 by machining so that a frictional force F2, which works on the heads 2 and the rear of the element 9, is reduced to an external force F, which is accompanied by the high-speed movement of the heads 2, and so that the frictional force F2 becomes larger than a frictional force F1, which works on conventional suction heads 2 and the rear of a conventional semiconductor element.; In this way, since the frictional force is increased to the extent that the air does not leak from between the heads 2 and the element 9, the element 9 is sucked by the heads 2, and a suction positional deviation of the element 9 from the heads 2 at the time of the high-speed movement of the heads 2 can be reduced, the positional deviation of bump electrodes on the element 9 from conductor wirings on a wiring board can be reduced.



Data supplied from the *espacenet* database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-121530

(43)公開日 平成11年(1999) 4月30日

(51)Int.Cl.⁸
H 0 1 L 21/60

識別記号
3 1 1

F I
H 0 1 L 21/60

3 1 1 S
3 1 1 T

審査請求 有 請求項の数 8 F D (全 5 頁)

(21)出願番号 特願平9-304931

(22)出願日 平成9年(1997)10月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 鈴木 崇敏

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 弁理士 堀 城之

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 半導体素子をフェースダウン方式にて直接、配線基板へ搭載する際の搭載位置ずれを確実に防止もしくは有効に低減することができる半導体装置及びその製造方法を提供する。

【解決手段】 配線基板5の導体配線8と半導体素子9の突起電極7とを合致させて、前記半導体素子9と前記配線基板8との間を、接着用絶縁性樹脂にて固着する構造を有する半導体装置において、前記半導体素子9の裏面の表面粗さを、平均粗さで0.4～1.6 μ mに粗した。



9：半導体素子

【特許請求の範囲】

【請求項1】配線基板の導体配線と半導体素子の突起電極とを合致させて、前記半導体素子と前記配線基板との間を、接着用絶縁性樹脂にて固着する構造を有する半導体装置において、前記半導体素子の裏面の表面粗さを、平均粗さで0.4～1.6 μ mに粗したことを特徴とする半導体装置。

【請求項2】前記半導体素子の裏面を部分的に粗面化していることを特徴とする請求項1記載の半導体装置。

【請求項3】前記半導体素子の裏面をダイヤモンド砥石等で研削することにより粗面化していることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】吸着ヘッドにて半導体素子の裏面を吸着して基板に搭載する工程を有する半導体装置の製造方法において、前記吸着ヘッドの吸着面と前記半導体素子の裏面とに互いに噛み合う凹凸を設けておくことによって、それら吸着ヘッドの吸着面に沿う方向に対する半導体素子の位置決めを行ないつつ、半導体素子を基板に搭載することを特徴とする半導体装置の製造方法。

【請求項5】前記半導体素子の裏面をダイヤモンド砥石等で研削することにより、その半導体素子の裏面に凹凸を形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】前記吸着ヘッドの吸着面及び半導体素子の裏面の凹凸による表面粗さの程度を、互いにほぼ同じ程度の表面粗さにしておくことを特徴とする請求項4又は5記載の半導体装置の製造方法。

【請求項7】前記凹凸を前記吸着ヘッドの吸着面の一部に設けておくことを特徴とする請求項4～6の何れかに記載の半導体装置の製造方法。

【請求項8】前記凹凸を前記半導体素子の裏面の一部に設けておくことを特徴とする請求項4～7の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に狭ピッチの電極を有する半導体素子を配線基板に搭載する半導体装置及びその製造方法の技術に関する。

【0002】

【従来の技術】従来の技術を、図5～図8を参照して説明する。まず、半導体素子1を吸着ヘッド2で収納トレイ3より吸着を行う。その後、半導体素子1をチャック4等により位置規正を行う。その後、半導体素子1の認識用マークと配線基板5の認識用マークを画像認識装置6で各々画像処理を行う。その後、半導体素子1と配線基板5の位置補正後、半導体素子1上の突起電極7と配線基板5上の導体配線8を合致させ、半導体素子1を配線基板5上に搭載を行うものである。

【0003】

【発明が解決しようとする課題】従来技術のように、半導体素子1を吸着ヘッド2で吸着し、フェースダウン方式で直接、配線基板5へ搭載する半導体装置の製造方法では、搭載完了までに幾度も吸着ヘッド2が水平方向に高速移動する。その高速移動と停止の際に、吸着されている半導体素子1は、吸着ヘッド2の慣性力によって吸着位置ずれを起こす。

【0004】半導体素子1を吸着固定する方法としては、実開昭62-14732号公報に記載の技術がある。これは半導体素子を吸着固定する搭載装置の吸着面を粗す例である。しかしながら、この公知例では、半導体素子を吸着する際に、エアーリークの可能性があり、搭載装置の吸着面に働く垂直方向の吸着力が不足する恐れがある。

【0005】そこで、エアーリークが発生しない程度に吸着面を粗した場合について、図8を用いて説明する。吸着ヘッド2の吸着面を、エアーリークしない程度に粗した場合、半導体素子1の裏面が鏡面仕上げであるため、吸着ヘッド2の吸着面の凹凸部21と半導体素子1の裏面の微少な凹凸部11が図8に示すように噛み合わない。すなわち、吸着ヘッド2の慣性力によって、半導体素子1が動き出すのを阻止する摩擦力が不足している。従って、吸着ヘッド2の吸着面を粗面化しただけでは、高速で移動する吸着ヘッド2の慣性力に抗して、半導体素子1が動き出すのを阻止する摩擦力を向上させることは出来ない。

【0006】本発明の目的は、半導体素子をフェースダウン方式にて直接、配線基板へ搭載する際の搭載位置ずれを確実に防止もしくは有効に低減することができる半導体装置及びその製造方法を提供するものである。

【0007】

【課題を解決するための手段】本発明では、吸着ヘッドと半導体素子裏面とに働く水平方向の摩擦力を向上させるために、半導体素子裏面を機械加工にて、その半導体素子裏面と吸着ヘッド間の吸着力が低下しない程度に、従来よりも粗すことを特徴とする。すなわち、本発明では、配線基板の導体配線と半導体素子の突起電極とを合致させて、半導体素子と配線基板との間を、接着用絶縁性樹脂にて固着する構造を有する半導体装置において、半導体素子の裏面の表面粗さを、平均粗さで0.4～1.6 μ mに粗した構成とした。その場合、半導体素子の裏面を部分的に粗面化することもできる。粗面化するには、半導体素子の裏面をダイヤモンド砥石等で研削することにより行うこともできる。一方、本発明では、吸着ヘッドにて半導体素子の裏面を吸着して基板に搭載する工程を有する半導体装置の製造方法において、吸着ヘッドの吸着面と半導体素子の裏面とに互いに噛み合う凹凸を設けておくことによって、それら吸着ヘッドの吸着面に沿う方向に対する半導体素子の位置決めを行ないつつ、半導体素子を基板に搭載する方法を採用した。その

際、半導体素子の裏面をダイヤモンド砥石等で研削することにより、その半導体素子の裏面に位置決めのための凹凸を形成することもある。また、吸着ヘッドの吸着面及び半導体素子の裏面の凹凸による表面粗さの程度を、互いにはほぼ同じ程度の表面粗さにしておくのも大変好適である。また、凹凸を吸着ヘッドの吸着面の一部に設けたり、半導体素子の裏面の一部に設けておくこともできる。

【0008】(作用) 本発明では、従来よりも半導体素子の裏面を粗すことで、吸着ヘッドの高速移動時において、半導体素子が動き出そうとするのを半導体素子裏面上の凹凸部分と吸着ヘッドの吸着面の凹凸部分が噛み合い、吸着ヘッド吸着面と半導体素子裏面とに働く水平方向の摩擦力を増大させる。従って、半導体素子の吸着から搭載までの高速移動に伴う x y θ 方向の外力よりも、吸着ヘッドの吸着面と半導体素子裏面との間に働く水平方向の摩擦力が大きくなり、微少な吸着位置ずれが低減できる。また、搭載位置ずれが減少するため、半導体素子の突起電極と配線基板の導体配線の接続信頼性を高める。

【0009】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照して説明する。図1は本発明に係る半導体素子9の断面図であり、図2は半導体素子を吸引した状態の断面図、図3は製造工程を示すフロー図、図4は凹凸部分の噛み合い状態摩擦評価のための測定方法を示す断面図である。

【0010】図1に示す様に、従来の半導体素子1の裏面を、機械加工により粗し、凹凸91を形成したものが、本発明の半導体素子9である。これは、図6にて示したように、従来では半導体素子1を吸着ヘッド2で吸着した際、吸着ヘッド2の高速移動に伴う外力 F に対して、吸着ヘッド2と半導体素子1の裏面とに働く摩擦力 F_1 が、 $F > F_1$ の関係で、半導体素子1の位置ずれが発生した。

【0011】そこで、本発明では図2に示す様に、半導体素子9を吸着ヘッド2で吸着した際は、吸着ヘッド2の高速移動に伴う外力 F に対して、吸着ヘッド2と半導体素子9の裏面とに働く摩擦力 F_2 が、 $F \geq F_2 > F_1$ の関係となるように配慮している。これにより従来の半導体素子1よりも位置ずれが少なくなる。

【0012】図2及び図3は本発明の実施の形態に係る製造工程を示すフローである。まず、半導体素子9を吸着ヘッド2で収納トレイ3より吸着を行う。その後、半導体素子9をチャック4等により規正を行う。その後、半導体素子9の認識用マークと配線基板5の認識用マークを画像認識装置6で、各々画像処理を行う。その後、半導体素子9と配線基板5の位置補正を実施し、半導体素子9上の突起電極7と配線基板5上の導体配線8の位置が合うように、半導体素子9の搭載を行う。

【0013】

【実施例】本発明のより具体的な実施例について、図面及び評価結果を示す表1を参照して説明する。半導体素子9は、従来の半導体素子1の裏面を、例えばダイヤモンド研削加工等により表面粗さ Ra 0.4~1.6(μ m)に粗した断面構造である。

【0014】従来の半導体素子1と本発明の半導体素子9の吸着時における摩擦力の比較評価を行った結果を表1に示す。

【0015】

【表1】

半導体素子裏面Ra		摩擦係数(kgf)
(従来)	XorY方向	0.040
	θ 方向	0.027
0.4 μ m以下	XorY方向	0.057
	θ 方向	0.053
0.4~1.6 μ m	XorY方向	0.047
	θ 方向	0.033
1.6 μ m以上	XorY方向	0.047
	θ 方向	0.033

【0016】摩擦評価のための測定方法については、図4に示すように、まず、半導体素子9を吸着ヘッド2にて吸着し、チャック4等により位置規正を行う。その後、半導体素子9の側面及び角より水平方向に、荷重測定器10を用いて押し当て、半導体素子9が位置ずれを起こす時の最大荷重の測定を行った。その結果、表1から明らかなように、従来に比べ、大きな摩擦力が得られていることが確認できた。

【0017】また、表面粗さ Ra 1.6(μ m)以上では、半導体素子吸着時のエアームれによる吸着力不足が発生し、本発明のような摩擦力は得られなかった。

【0018】なお、図4に示す例では、半導体素子9の裏面の凹凸91よりも吸着ヘッド2の吸着面の凹凸21の方が粗い例を示しているが、平均粗さ0.4~1.6(μ m)の範囲において、互いにはほぼ同程度の表面粗さとしてもよい。こうすることにより、均一に噛み合わせ摩擦力の均一化を図ることができる。

【0019】また、この半導体素子9の裏面の凹凸91及び吸着ヘッド2の吸着面の凹凸21については、それぞれ全面に設けなくてもよく、例えばそれぞれについて部分的に設けてもよい。

【0020】

【発明の効果】第1の効果は、エアリークしない範囲で効果的に摩擦力を高めているので、吸着ヘッドで半導体素子を吸着し、吸着ヘッドが高速移動する際の半導体素子の吸着位置ずれが減少することである。従って、高速で配線基板に半導体素子を搭載する半導体装置において、半導体素子の突起電極と配線基板の導体配線の位置

ずれが従来より減少し、接続信頼性を高める。

【0021】第2の効果は、半導体素子の配線基板への搭載時間が短縮できることである。その理由は、吸着ヘッド移動後の半導体素子の吸着位置ずれ減少に伴い、搭載位置の教示を容易に行えるからである。また、吸着ヘッドの高速移動に伴う吸着位置ずれが減少することにより、吸着ヘッドの高速化をさらに進めることができるからである。

【0022】第3の効果は、本発明の半導体素子の裏面にヒートシンク等を接着した場合、凹凸の存在により接着表面積が大きいため、高熱伝導接着剤等を使用すれば、放熱効果と接着強度向上が期待できる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体素子の断面図である。

【図2】本発明の実施の形態に係る半導体素子と吸着ヘッドとに働く外力と摩擦力の関係を示す断面図である。

【図3】本発明の実施の形態に係る製造工程技術を断面で示すフロー図である。

【図4】本発明の実施の形態に係る吸着ヘッドと半導体素子との摩擦力評価のための測定方法を示す断面図である。

【図5】従来の半導体素子の断面図である。

【図6】従来の半導体素子と吸着ヘッドとに働く外力と摩擦力の関係を示す断面図である。

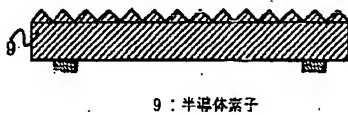
【図7】従来の製造工程技術を断面で示すフロー図である。

【図8】従来の吸着ヘッドと半導体素子との凹凸部分の噛み合い状態を示す断面図である。

【符号の説明】

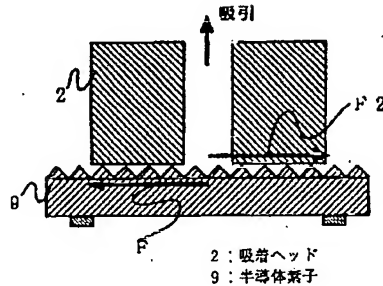
- 1 半導体素子
- 11 凹凸
- 2 吸着ヘッド
- 21 凹凸
- 3 収納トレー
- 4 チャック
- 5 配線基板
- 6 画像認識装置
- 7 突起電極
- 8 導体配線
- 9 半導体素子
- 91 凹凸
- 10 荷重測定器

【図1】



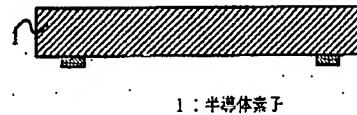
9：半導体素子

【図2】



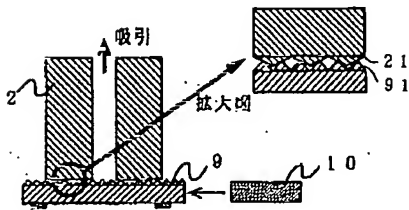
2：吸着ヘッド
9：半導体素子

【図5】



1：半導体素子

【図4】

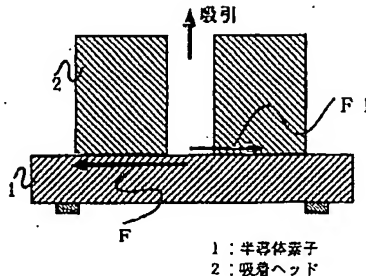


※半導体素子 9：10mmφ、 $\rho = 0.35 \text{ g/cc}$

S I チップ

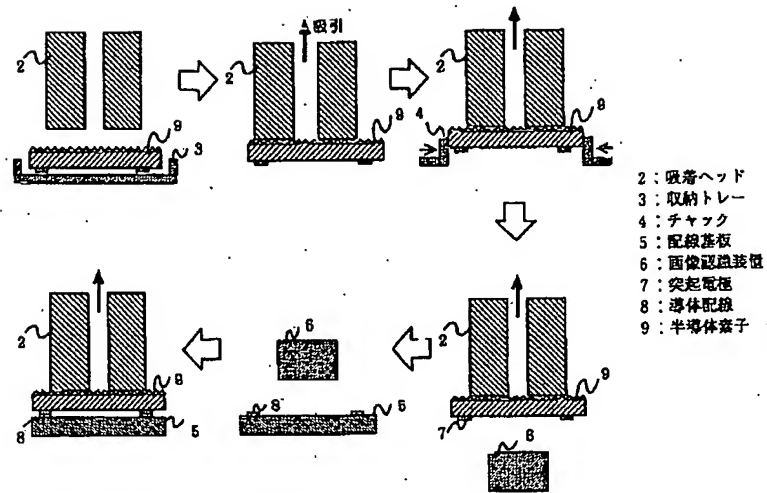
- 2：吸着ヘッド
- 9：半導体素子
- 10：荷重測定器
- 21：凹凸
- 91：凹凸

【図6】

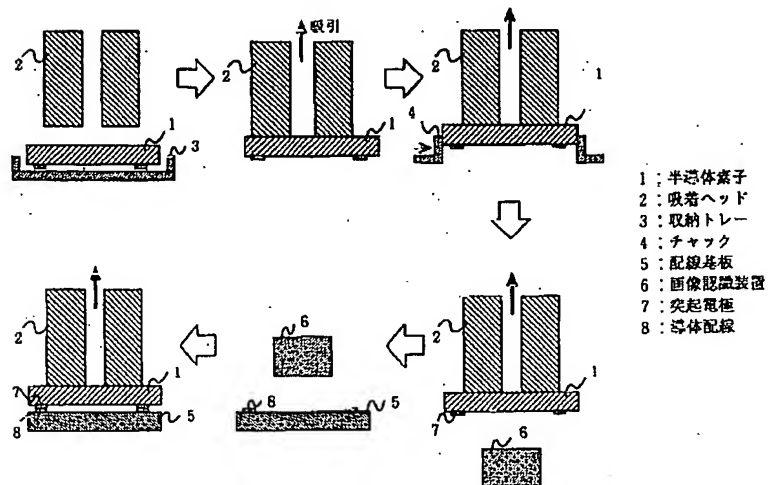


1：半導体素子
2：吸着ヘッド

【図3】



【図7】



【図8】

